

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-214298

(43)公開日 平成9年(1997)8月15日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K	3/037		H 0 3 K 3/037	Z
	3/356		3/356	Z

審査請求 有 請求項の数9 F D (全 7 頁)

(21)出願番号 特願平8-37209

(22)出願日 平成8年(1996)1月31日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 泉川 正則

東京都港区芝五丁目7番1号 日本電気株式会社内

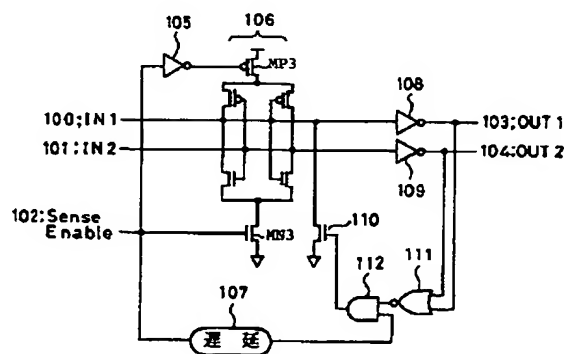
(74)代理人 弁理士 加藤 朝道

(54)【発明の名称】 半導体集積回路

(57)【要約】

【課題】 ラッチ回路のメタステーブル動作を解消する。

【解決手段】 メタステーブル状態を検出する回路と、この検出回路がメタステーブル状態を検出した時にこれを解消する回路と、から構成される。メタステーブル状態検出回路は、好ましくは、論理しきい値がラッチ回路のメタステーブル状態の電圧より低く、各々の入力の前記ラッチ回路の2つの相補出力に接続された2つのインバータ回路と、前記2つのインバータ回路の出力が同じレベルのときにメタステーブル状態であるとする回路から構成される。



(2)

1

【特許請求の範囲】

【請求項1】メタステーブル状態を検出する検出回路

と、
前記検出回路がメタステーブル状態を検出した際に、これを解消する回路と、
を含むことを特徴とするラッチ回路。

【請求項2】論理しきい値がラッチ回路のメタステーブル状態の電圧よりも低くされ、各々の入力の前記ラッチ回路の2つの相補出力にそれぞれ接続された2つのインバータ回路を備え、前記2つのインバータ回路の出力が同じ論理レベルのときにメタステーブル状態であるとするメタステーブル状態検出回路と、
前記メタステーブル状態検出回路がメタステーブル状態を検出した時にこれを解消する回路と、
を含むことを特徴とするラッチ回路。

【請求項3】論理しきい値がラッチ回路のメタステーブル状態の電圧よりも高くされ、各々の入力の前記ラッチ回路の2つの相補出力にそれぞれ接続された2つのインバータ回路を備え、前記2つのインバータ回路の出力が同じ論理レベルのときにメタステーブル状態であるとするメタステーブル状態検出回路と、
前記メタステーブル状態検出回路がメタステーブル状態を検出した時にこれを解消する回路と、
を含むことを特徴とするラッチ回路。

【請求項4】論理しきい値がラッチ回路のメタステーブル状態の電圧よりも低くされ、各々の入力の前記ラッチ回路の2つの相補出力にそれぞれ接続された2つのバッファ回路と、
前記2つのバッファ回路の出力が同じ論理レベルのときにメタステーブル状態であるとするメタステーブル状態検出回路と、
前記メタステーブル状態検出回路がメタステーブル状態を検出した時に該メタステーブル状態を解消する回路と、から構成されることを特徴とするラッチ回路。

【請求項5】論理しきい値がラッチ回路のメタステーブル状態の電圧よりも低くされ、各々の入力の前記ラッチ回路の2つの相補出力に接続された2つのインバータ回路と、
前記2つのインバータ回路の出力が共にロウレベルのときにメタステーブル状態であるとするメタステーブル状態検出回路と、
前記メタステーブル状態検出回路がメタステーブル状態を検出した時に、該メタステーブル状態を解消する回路と、から構成されることを特徴とするラッチ回路。

【請求項6】前記メタステーブル状態検出回路がメタステーブル状態を検出した時に、予め定められた値にラッチ回路の出力を設定する回路を含むことを特徴とする請求項1～5のいずれかに記載のラッチ回路。

【請求項7】前記メタステーブル状態検出回路がメタステーブル状態を検出した時に、前回と同じ値にラッチ回

2

路の出力を設定する回路を含むことを特徴とする請求項1～5のいずれかに記載のラッチ回路。

【請求項8】前記メタステーブル状態検出回路がメタステーブル状態を検出した時に、前回と異なる値にラッチ回路の出力を設定する回路を含むことを特徴とする請求項1～5のいずれかに記載のラッチ回路。

【請求項9】双安定素子の2つの相補出力をそれぞれ入力とし、前記双安定素子がメタステーブル状態の時の出力電圧よりも論理しきい値が高又は低に設定されてなる2つのインバータ回路を備え、前記双安定素子におけるラッチ動作から所定時間後において、前記2つのインバータ回路の出力が共に同一の論理値のときにメタステーブル状態であると判定する検出手段と、
前記検出手段の出力信号に基づき、前記双安定素子がメタステーブル状態と判定された際に導通状態とされるスイッチ素子を介して前記双安定素子の少なくとも一つの出力ノードを所定の論理値に設定し該双安定素子を安定状態とする回路手段と、
を備えたことを特徴とするラッチ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路、特にラッチ回路に関し、より詳細には、アービタ（調停回路）、シンクロナイザ（同期化回路）および比較器等の回路に用いられる双安定素子のメタスタビリティを解消する技術に関する。

【0002】

【従来の技術】双安定素子が2つの安定状態（安定な平衡状態）のどちらでもない不安定な平衡状態（メタステーブル状態）にとどまることをメタステーブル動作という。

【0003】このような双安定素子の例を図5及び図6に示す。図5において、(A)はインバータラッチ、(B)はNANDラッチ、(C)はNORラッチ、(D)インバータラッチ型アンプをそれぞれ示し、また図6(E)はデータラッチの構成を示している。図5

(A)に示すインバータラッチは、2つのインバータINV1、INV2の出力と入力を相互に接続してなるフリップフロップから構成される。また図5(B)に示すNANDラッチは、2つのNAND回路、NAND1、NAND2の出力と入力を繋ぎ合わせたフリップフロップとして構成され、図5(C)に示すNORラッチは、2つのNOR回路、NOR1、NOR2の出力と入力を繋ぎ合わせたフリップフロップとして構成され、図5

(D)に示すインバータラッチ型アンプは、2つのCMOSインバータの入力ノードと出力ノードを相互に接続し、電源とCMOSインバータとの間には、pMOSFET MP3が挿入され、接地端子とCMOSインバータとの間には、nMOSFET MN3が挿入されている。また、図6(E)には、制御信号をゲート入力する

50

(3)

3

nMOSFET MN1と制御信号のインバータINV3による反転信号をゲート入力とするpMOSFET MP1からなる第1のトランスファゲートを備え、2つのインバータで構成するループ内に、制御信号をゲート入力するpMOSFET MP2と制御信号のインバータINV3による反転信号をゲート入力とするnMOSFET MN2からなる第2のトランスファゲートを含む、インバータINV1、INV2からなるフリップフロップから構成され、制御信号がハイレベルの時、入力は、オン状態とされた第1のトランスファゲートを介してインバータINV1に伝達されて出力され、制御信号がロウレベルの時に、この出力はオン状態とされた第2のトランスファゲートを介してインバータINV2に伝達されて記憶され、第1のトランスファゲートがオフ状態とされるため入力の論理状態にかかわらずフリップフロップにて保持される。

【0004】アービタ（調停回路）、シンクロナイザ（同期化回路）など双安定素子が同期していない互いに独立な入力を受け取る場合、メタステーブル動作を行うことが、例えば文献（菅野卓雄監修、飯塚哲哉編、『CMOS超LSIの設計』、培風館、1989年、4.3.7節、アービタとシンクロナイザ、第127-131頁）に記載されている。なお、アービタ回路は例えば2つの要求信号間に競合が起こった時にいずれの要求に応えるかを決定する回路であり、またシンクロナイザは非同期的に来自外界の信号をシステム内に取り込み回路であってシステムのクロックに同期させるという意味で「シンクロナイザ（同期化回路）」と呼ばれている。

【0005】メタステーブル動作が起こると、ラッチ回路の出力が中間値となり、ファンアウト先で誤動作を起こす可能性がある（例えば、図5（B）のNAND型ラッチ回路に入力される2つの要求信号が同時にハイ（High）レベルとなった場合、2つの出力は一度中間電位となり、この期間が長いと後段回路において誤動作を生じる）。そして、メタステーブル動作は原理的に回避不可能であるので、誤動作確率を極力小さくするように設計を行う必要がある。この誤動作確率を低減する従来の技術を以下に説明する。

【0006】文献(1)（Takayasu Sakurai, "Optimization of CMOS Arbiter and Synchronizer Circuits with Sub-micrometer MOSFET's", IEEE Journal of Solid State Circuits, pp. 901-906, Vol. 23, No. 4, Aug. 1988）には、アンバランスやインバータの挿入等により、誤動作確率は削減できないことを示し、pMOSFET、nMOSFETのサイズ比等の最適化による誤動作確率の低減法が示されている。

【0007】また、文献(2)（Thaddeus J. Gabara, 他, "Metastability of CMOS Master/Slave Flip-Flops", IEEE Transaction on Circuits and

4

Systems-II: Analog and Digital Signal Processing, pp. 734-739, Vol. 39, No. 10, Oct. 1992）には、メタステーブル動作を起こしにくいデータラッチおよびそのデータラッチによるマスタ/スレーブフリップフロップが記載されている。

【0008】さらに、文献(3)（Jens U. Horstman, 他, "Metastability Behavior of CMOS AC Flip-Flops in Theory and Test", IEEE Journal of Solid-State Circuits, pp. 146-157, Vol. 24, No. 1, Feb. 1989）および文献(4)（K. Nootbaar, 他, "Minimizing the effect of metastability in BiCOM circuit design", EDN, pp. 141-146, Sep. 1990）には、ラッチを2段接続することにより構成されたシンクロナイザについて記載されている。

【0009】そして、文献(5)（Trevor W. S. Lee, 他, "Automatic Verification of Asynchronous Circuits", IEEE Design & Test of Computers, pp. 24-30, Spr. 1995）には、高周波のシステムのシンクロナイザにおいて、サンプリング周波数を低くすることにより、誤動作確率を低減する方法が述べられている。

【0010】また、文献(6)（Daniel M. Chapiro, "Reliable High-Speed Arbitration and Synchronization", IEEE Transaction on Computers, pp. 1251-1255, Vol. 36, No. 10, Oct. 1987）には、メタステーブル動作が検出されると、クロック信号の間隔を動的に伸長させて誤動作を防止する方法が記載されている。

【0011】そして、別の文献(7)（Bernhard Zoje, 他, "A 6-Bit/200-MHz Full Nyquist A/D Converter", IEEE Journal of Solid State Circuits, pp. 780-786, SC-20, No. 3, June 1985）には、ラッチ2段により構成される比較器を用いて誤動作確率を低減している。

【0012】また、文献(8)（Christopher W. Mangelsdorf, "A 400-MHz Input Flash Converter with Error Correction", IEEE Journal of Solid State Circuits, pp. 184-191, Vol. 25, No. 1, Feb., 1990）には、ラッチ3段による比較器およびエラー訂正回路について記載されている。

【0013】次に、文献(9)（Hooman Reyhani, 他, "A 5V 6b 80MHz/s Bi CMOS Flash ADC", IEEE Journal of Solid State Circuits, pp. 873-878, Vol. 29, No. 8, Aug., 1994）には、誤動作確率低減のために最適化されたBiCMOSによる比較器について記載されている。

【0014】そして、文献(10)（Clemenz L. Portmann, 他, "Power-Efficient Metastability Error Reduction in CMOS Flash A/D Converter

(4)

5

s", Symposium on VLSI Circuit Digest of Technical Papers, pp.37-38, June 1995) には、メタステーブル動作の間は出力をHighに保持する回路およびグレイ符号 (Gray code) によるエンコードが提案されている。

【0015】

【発明が解決しようとする課題】これら従来の誤動作確率を低減する手法では、誤動作を起こす確率は小さくなくとも、誤動作の可能性がゼロにはならないという問題があった。また、メタステーブルを検出してクロックを伸長させるという上記文献(6)に提案される方法では、応答が遅くなるという問題点を有している。

【0016】従って、本発明は、上記事情に鑑みて為されたものであって、その目的は、ラッチ回路のメタステーブル動作を解消することにある。

【0017】

【課題を解決するための手段】前記目的を達成する本発明のラッチ回路は、メタステーブル状態検出回路と、前記検出回路がメタステーブル状態を検出した時にこれを解消する回路から構成される。

【0018】本発明においては、好ましくは、メタステーブル状態検出回路は、論理しきい値がラッチ回路のメタステーブル状態の電圧より低く設定され、各々の入力の前記ラッチ回路の2つの相補出力に接続された2つのインバータ回路と、前記2つのインバータ回路の出力が同じ論理レベルのときに、メタステーブル状態であるとする回路から構成される。

【0019】

【作用】本発明によれば、双安定素子のメタステーブル状態を検出した際に、同一サイクル内で双安定素子を安定状態に設定することができるため、応答を遅らせることなく誤動作の発生確率を零にすることができる。

【0020】

【発明の実施の形態】本発明の実施の形態を図面を参照して以下に詳細に説明する。

【0021】

【実施形態1】図1を参照して、本発明の第1の実施形態のラッチ回路について説明する。図1は、本発明の第1の実施形態のラッチ回路の構成例を示す回路図である。

【0022】図1を参照して、本実施形態のラッチ回路は、第1の入力(IN1)100と第2の入力(IN2)をラッチするインバータラッチ型アンプ106と、インバーラッチ型アンプ106のラッチ出力であるノード100と101をそれぞれ入力とする第1、第2のインバータ108、109と、第1、第2のインバータ108、109の出力103、104を入力とするNORゲート111と、インバータラッチ型アンプ106の活性化を制御する制御信号であるセンスイネーブル(Sense Enable)信号102を所定時間遅延させる遅延回

6

路107と、遅延回路107の出力とNOR回路111の出力とを入力とするAND回路112と、AND回路112の出力をゲート入力とし、ノード100と接地間に接続されたnMOSFET110と、を備え、センスイネーブル信号102は、インバータラッチ型アンプのpMOSFET MP3のゲートにはインバータ105を介して、nMOSFET MN3のゲートには直接、接続され、センスイネーブル信号102がハイレベルの時、インバータラッチ型アンプ106が活性化する。このインバータラッチ型アンプ106を用いた比較器において、ノード100、101が共にロウレベルからハイレベルに遷移すると、メタステーブル状態となり、中間値を出力する。このときノード100と101を入力とする第1、第2のインバータ108、109の論理しきい値をメタステーブル状態の中間値よりも低く設定しておくこと、これらのインバータ108、109の出力103、104は共にロウレベルを出力する。

【0023】メタステーブル状態が解消されると、ノード100、101のいずれかがハイレベルとなるので、第1、第2のインバータ108、109の出力が共にロウレベルであるとき、メタステーブル状態と判定できる。

【0024】インバータラッチ型アンプ106を用いた比較器が比較を開始して一定時間後にメタステーブル状態であるとき、すなわちセンスイネーブル信号102がアクティブ状態(図1ではハイレベル)となり、インバータラッチ型アンプ106が活性化した際において、遅延回路107で定められる遅延時間後にNOR回路111の出力がハイレベルであるときには、AND回路112の出力がハイレベルとなり、nMOSFET110をオン状態とし、サイクル内にノード100をロウレベルに、ノード101をハイレベルとして、メタステーブル状態を解消する。

【0025】

【実施形態2】次に、図2を参照して本発明の第2の実施形態について説明する。図2は、本発明の第2の実施形態のラッチ回路の構成例を示す回路図である。図2を参照して、本実施形態のラッチ回路は、第1の入力(IN1)200と第2の入力(IN2)201をラッチするインバータラッチ型アンプ206と、インバーラッチ型アンプ206のラッチ出力であるノード200と201をそれぞれ入力とする第1、第2のインバータ208、209と、第1、第2のインバータ208、209の出力をそれぞれラッチする第1、第2のデータフリップフロップ215、216と、第1、第2のインバータ208、209の出力を入力とするNORゲート212と、インバータラッチ型アンプ206の活性化を制御する制御信号であるセンスイネーブル(Sense Enable)信号202を所定時間遅延させる遅延回路207と、遅延回路207の出力とNOR回路212の出力と

(5)

7

共に、第1、第2のデータフリップフロップ215、216の出力をそれぞれ入力とする3入力AND回路213、214と、3入力AND回路213、214の出力をそれぞれゲート入力とし、ノード200、201と接地間にそれぞれ接続されたnMOSFET211、210と、を備え、センスイネーブル信号202は、インバータラッチ型アンプのpMOSFET MP3のゲートにはインバータ205を介して、nMOSFET MN3には直接、接続され、センスイネーブル信号202がハイレベルの時、インバータラッチ型アンプ206が活性化する。

【0026】本実施形態において、メタステーブル状態検出までの動作は、前記第1の実施形態と同じである（すなわち、第1、第2のインバータ208、209の論理しきい値はメタステーブル状態の中間値よりも低く設定されており、メタステーブル状態の時インバータ208、209の出力は共にロウレベルとされる）。

【0027】このインバータラッチ型アンプ206を用いた比較器において比較を開始して一定時間後メタステーブルであるときに、第1のデータフリップフロップ215の出力である出力203がハイレベルで、第2のデータフリップフロップ216の出力である出力204がロウレベルのとき、3入力AND回路213の出力がハイレベルとなり、nMOSFET211をオン状態とし、サイクル内にノード200をハイレベルに、ノード201をロウレベルとし、メタステーブル状態を解消する。

【0028】一方、出力203がロウレベルで、出力204がハイレベルのとき、3入力AND回路214の出力がハイレベルとなり、nMOSFET210をオンとし、サイクル内にノード201をハイレベルに、ノード200をロウレベルとしてメタステーブル状態を解消する。

【0029】

【実施形態3】次に、図3を参照して本発明の第3の実施形態について説明する。図3は、本発明の第3の実施形態のNANDラッチ回路の構成例を示す回路図である。図3を参照して、本実施形態のラッチ回路は、第1の入力(IN1)300と第2の入力(IN2)301をラッチするNANDラッチ304と、NANDラッチ304の出力をそれぞれ入力とする第1、第2のインバータ307、308と、第1、第2のインバータ307、308の出力302、303を入力とするNORゲート309と、第1、第2の入力300、301を入力とするOR回路305の出力を遅延させる遅延回路306と、遅延回路306の出力とNOR回路309の出力を入力とするAND回路310と、AND回路310の出力をゲート入力とし、ラッチ304の出力ノード313と接地間に接続されたnMOSFET311と、を備えている。

8

【0030】本実施形態においても、メタステーブル状態の検出は、前記第1の実施形態と同じである（すなわち、第1、第2のインバータ307、308の論理しきい値はメタステーブル状態の中間値よりも低く設定されており、メタステーブル状態の時これらのインバータ307、308の出力は共にロウレベルとされる）。

【0031】第1の入力(IN1)300および第2の入力(IN2)301がロウレベルからハイレベルに変化してから、一定時間後（遅延回路306で定められる）に、メタステーブル状態である場合に、NOR回路309の出力がハイレベルであるため、AND回路310の出力がハイレベルとされ、nMOSFET311をオン状態とし、ラッチ304の出力ノード313をロウレベルとしてメタステーブル状態を解消する。

【0032】

【実施形態4】次に、図4を参照して本発明の第4の実施形態について説明する。図4は、本発明の第4の実施形態のラッチ回路の構成例を示す回路図である。図4を参照して、本実施形態のラッチ回路は、マスタ側のデータラッチ回路403と、スレーブ側のデータラッチ回路404からなるマスタスレーブ方式のラッチ回路からなり、各データラッチ回路は図6に示した構成とされている。本実施形態においては、マスタ側のデータラッチ回路403において、インバータINV1、INV2からなるフリップフロップの出力ノードに第1、第2のインバータ406、407を接続し、第1、第2のインバータ406、407の出力を入力とするNOR回路408の出力と、トランスファゲートの導通を制御するクロック信号(CLK)400を入力とする遅延回路405からの遅延出力を入力とするAND回路409と、AND回路409の出力をゲート入力とし、マスタ側のフリップフロップの出力ノード411と接地間に接続されたnMOSFET410と、を備えている。

【0033】メタステーブル状態の検出は、前記第1の実施形態と同じである（すなわち、第1、第2のインバータ406、407の論理しきい値はメタステーブル状態の中間値よりも低く設定されており、メタステーブル状態の時インバータ406、407の出力は共にロウレベルとされる）。クロック信号(CLK)400がハイレベルからロウレベルに変化してから、一定時間後（遅延回路405で定められる）に、メタステーブル状態である場合に、nMOSFET410をオン状態とし、マスタ側のデータラッチ回路403の出力ノード411をロウレベルとして、メタステーブル状態を解消する。

【0034】なお、本発明を上記実施形態について説明したが、本発明は上記形態にのみ限定されるものではなく、本発明の原理に準ずる各種実施形態を含むことは勿論である。例えば、図3に示す構成の変形として、インバータ307、308の論理しきい値をラッチ回路304のメタステーブル状態における出力電圧（中間電圧）

50

(6)

9

よりも高く設定した場合には、NOR回路309はNAND回路で置き換えられる。あるいはインバータ307、308の代わりに、論理しきい値がメタステーブル状態の中間電圧よりも低いバッファで置き換えた場合には、NOR回路309はNAND回路で置き換えられる。

【0035】

【発明の効果】以上説明したように、本発明のラッチ回路によれば、メタステーブル状態検出を検出しこれをサイクル内で解消するように構成したことにより、応答を遅らせることなく誤動作の確率を零とすることができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1の実施形態のラッチ回路の構成を示す図である。

【図2】本発明の第2の実施形態のラッチ回路の構成を示す図である。

【図3】本発明の第3の実施形態のラッチ回路の構成を示す図である。

【図4】本発明の第4の実施形態のラッチ回路の構成を示す図である。

【図5】ラッチ回路の例を示す図であり、(A)はインバータラッチ、(B)はNANDラッチ、(C)はNORラッチ、(D)インバータラッチ型アンプの構成をそれぞれ示す図である。

【図6】データラッチの構成を示す図である。

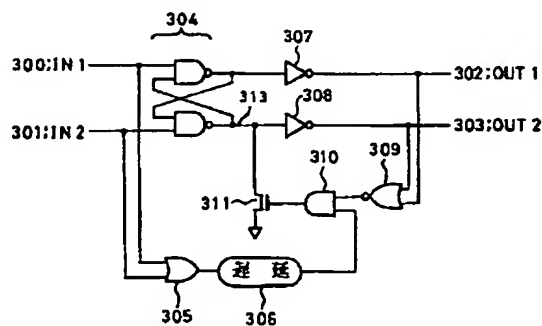
【符号の説明】

100 入力信号 (IN1)
101 入力信号 (IN2)
102 センスイネーブル信号
103 出力信号 (OUT1)
104 出力信号 (OUT2)
105 インバータ
106 インバータラッチ型アンプ
107 遅延回路
108 論理しきい値が低いインバータ
109 論理しきい値が低いインバータ

10

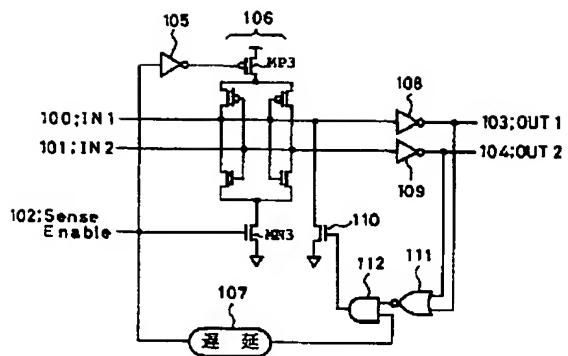
110 nMOSFET
111 NOR回路
112 AND回路
200 入力信号 (IN1)
201 入力信号 (IN2)
202 センスイネーブル信号
203 出力信号 (OUT1)
204 出力信号 (OUT2)
205 インバータ
206 インバータラッチ型アンプ
207 遅延回路
208、209 論理しきい値が低いインバータ
210、211 nMOSFET
212 NOR回路
213、214 AND回路
215、216 データフリップフロップ
300 入力信号 (IN1)
301 入力信号 (IN2)
302 出力信号 (OUT1)
303 出力信号 (OUT2)
304 NANDラッチ
305 AND回路
306 遅延回路
307、308 論理しきい値が低いインバータ
309 NOR回路
310 AND回路
311 nMOSFET
400 クロック信号
401 入力信号
402 出力信号
403 データラッチ (マスタ)
404 データラッチ (スレーブ)
405 遅延回路
406、407 論理しきい値が低いインバータ
408 NOR回路
409 AND回路
410 nMOSFET

【図3】

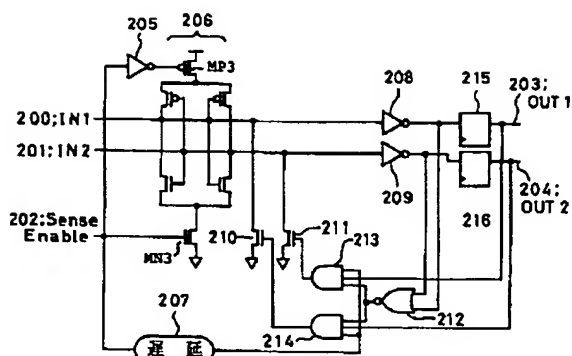


(7)

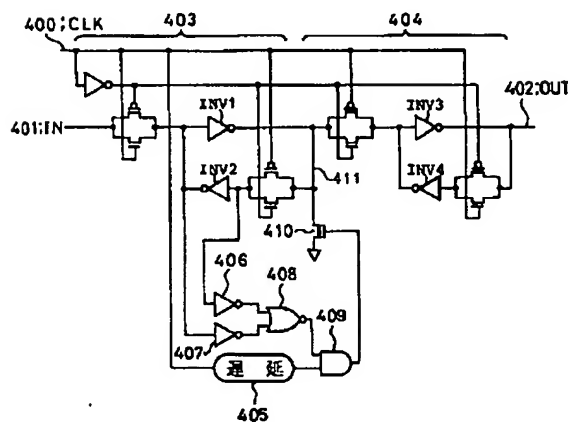
【図1】



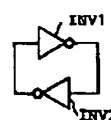
【図2】



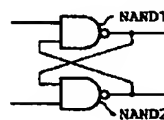
【図4】



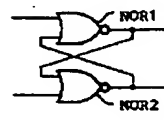
(A)



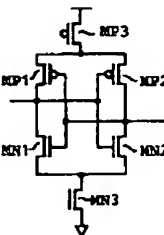
(B)



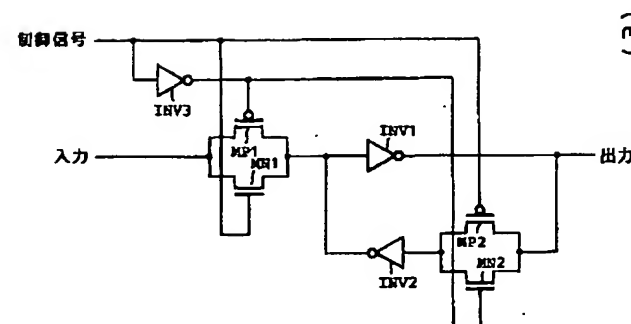
(C)



(D)



【図6】



(E)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-214298

(43)Date of publication of application : 15.08.1997

(51)Int.Cl. H03K 3/037
H03K 3/356

(21)Application number : 08-037209

(71)Applicant : NEC CORP

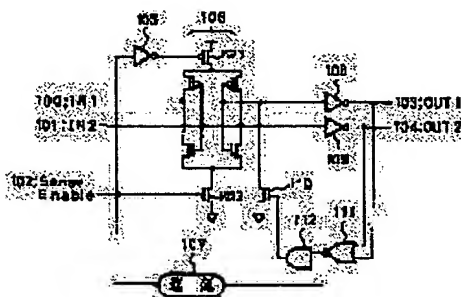
(22)Date of filing : 31.01.1996

(72)Inventor : IZUMIKAWA MASANORI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT**(57)Abstract:**

PROBLEM TO BE SOLVED: To cancel the metastable operation of a latch circuit by providing a circuit for canceling the metastable state when a metastable state detection circuit detects it.

SOLUTION: An inverter latch-type amplifier 106, first and second inverters 108 and 109 inputting input signals (IN1) and (IN2) 101, a NOR gate 111 inputting output signals (OUT1) 103 and (OUT2) 104 from the first and second inverters and a delay circuit 107 delaying a sense enable signal 102 controlling the activation of the inverter latch-type amplifier 106 are provided. When a comparator using the inverter latch-type amplifier 106 is in the metastable state a prescribed time after it starts comparison, the output of an AND circuit 112 becomes high level, nMOSFET 110 is set to an on state and the output signal (IN1) 100 to the low level and the input signal (IN2) 101 to the high level within a cycle.

**LEGAL STATUS**

[Date of request for examination] 31.01.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3149771

[Date of registration] 19.01.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right] 19.01.2004

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-214298

(43)Date of publication of application : 15.08.1997

(51)Int.Cl.

H03K 3/037
H03K 3/356

(21)Application number : 08-037209

(71)Applicant : NEC CORP

(22)Date of filing : 31.01.1996

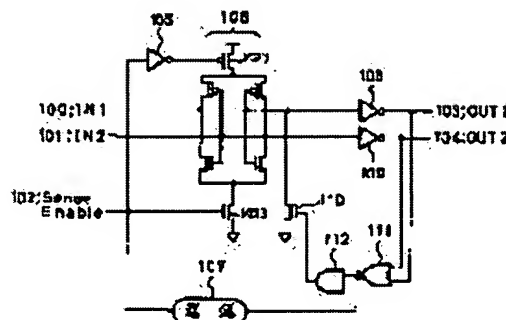
(72)Inventor : IZUMIKAWA MASANORI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To cancel the metastable operation of a latch circuit by providing a circuit for canceling the metastable state when a metastable state detection circuit detects it.

SOLUTION: An inverter latch-type amplifier 106, first and second inverters 108 and 109 inputting input signals (IN1) and (IN2) 101, a NOR gate 111 inputting output signals (OUT1) 103 and (OUT2) 104 from the first and second inverters and a delay circuit 107 delaying a sense enable signal 102 controlling the activation of the inverter latch-type amplifier 106 are provided. When a comparator using the inverter latch-type amplifier 106 is in the metastable state a prescribed time after it starts comparison, the output of an AND circuit 112 becomes high level, nMOSFET 110 is set to an on state and the output signal (IN1) 100 to the low level and the input signal (IN2) 101 to the high level within a cycle.



LEGAL STATUS

[Date of request for examination] 31.01.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number] 3149771

[Date of registration] 19.01.2001

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right] 19.01.2004

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The latch circuit characterized by including the detector which detects a meta-stay bull condition, and the circuit which cancels this when said detector detects a meta-stay bull condition.

[Claim 2] A logic threshold is made lower than the electrical potential difference of the meta-stay bull condition of a latch circuit. Each input is equipped with two inverter circuits connected to two complementary outputs of said latch circuit, respectively. The latch circuit characterized by including the meta-stay bull condition detector it is supposed that it is in a meta-stay bull condition when the output of said two inverter circuits is the same logical level, and the circuit which cancels this when said meta-stay bull condition detector detects a meta-stay bull condition.

[Claim 3] A logic threshold is made higher than the electrical potential difference of the meta-stay bull condition of a latch circuit. Each input is equipped with two inverter circuits connected to two complementary outputs of said latch circuit, respectively. The latch circuit characterized by including the meta-stay bull condition detector it is supposed that it is in a meta-stay bull condition when the output of said two inverter circuits is the same logical level, and the circuit which cancels this when said meta-stay bull condition detector detects a meta-stay bull condition.

[Claim 4] Two buffer circuits where the logic threshold was made lower than the electrical potential difference of the meta-stay bull condition of a latch circuit, and each input was connected to two complementary outputs of said latch circuit, respectively, The meta-stay bull condition detector it is supposed that it is in a meta-stay bull condition when the output of said two buffer circuits is the same logical level, the circuit which cancels this meta-stay bull condition when said meta-stay bull condition detector detects a meta-stay bull condition -- since -- the latch circuit characterized by being constituted.

[Claim 5] Two inverter circuits by which the logic threshold was made lower than the electrical potential difference of the meta-stay bull condition of a latch circuit, and each input was connected to two complementary outputs of said latch circuit, The meta-stay bull condition detector it is supposed that it is in a meta-stay bull condition when both the outputs of said two inverter circuits are low level, the circuit which cancels this meta-stay bull condition when said meta-stay bull condition detector detects a meta-stay bull condition -- since -- the latch circuit characterized by being constituted.

[Claim 6] The latch circuit according to claim 1 to 5 characterized by including the circuit which sets the output of a latch circuit as the value defined beforehand when said meta-stay bull condition detector detects a meta-stay bull condition.

[Claim 7] The latch circuit according to claim 1 to 5 characterized by including the circuit which sets the output of a latch circuit as the same value as last time when said meta-stay bull condition detector detects a meta-stay bull condition.

[Claim 8] The latch circuit according to claim 1 to 5 characterized by including the circuit which sets the output of a latch circuit as a different value from last time when said meta-stay bull condition detector detects a meta-stay bull condition.

[Claim 9] Consider two complementary outputs of a bistable element as an input, respectively, and a logic threshold is equipped with two inverter circuits which it comes to set as quantity or low rather than

output voltage in case said bistable element is in a meta-stay bull condition. A detection means to judge with it being in a meta-stay bull condition after predetermined time from the latch actuation in said bistable element when both the outputs of said two inverter circuits are the same logical values, The circuit means which sets at least one output node of said bistable element as a predetermined logical value through the switching device made into switch-on, and makes this bistable element a stable state based on the output signal of said detection means when said bistable element is judged to be a meta-stay bull condition, The latch circuit characterized by preparation *****.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the technique which cancels the meta-stability of the bistable element used for circuits, such as an arbiter (mediation circuit), a synchronizer (synchronization circuit), and a comparator, at a detail more about a semiconductor integrated circuit, especially a latch circuit.

[0002]

[Description of the Prior Art] It is called meta-stay bull actuation to remain in the unstable equilibrium state (meta-stay bull condition) whose bistable element is not which of two stable states (stable equilibrium state), either.

[0003] The example of such a bistable element is shown in drawing 5 and drawing 6. In drawing 5, an inverter latch and (B) show a NAND latch, and (C) shows a NOR latch and (D) inverter latching amplifier, respectively, and, as for (A), drawing 6 (E) shows data latch's configuration. The inverter latch who shows drawing 5 (A) consists of flip-flops which come to connect the output and input of two inverters INV1 and INV2 mutually. Moreover, the NAND latch who shows drawing 5 (B) is constituted as a flip-flop which made two NAND circuits, and the output and input of NAND1 and NAND2 tucking up its sleeves with a cord. The NOR latch who shows drawing 5 (C) is constituted as a flip-flop which made two NOR circuits, and the output and input of NOR1 and NOR2 tucking up its sleeves with a cord. The inverter latching amplifier shown in drawing 5 (D) The input node and output node of two CMOS inverters are connected mutually, and it is pMOSFET between a power source and a CMOS inverter. MP3 is inserted and nMOSFETMN3 is inserted between the earth terminal and the CMOS inverter. Moreover, nMOSFET which carries out the gate input of the control signal at drawing 6 (E) pMOSFET which considers the reversal signal by the inverter INV3 of MN1 and a control signal as a gate input It has the 1st transfer gate which consists of MP1. nMOSFET which considers the reversal signal by the inverter INV3 of pMOSFETMP2 which carries out the gate input of the control signal into the loop formation constituted from two inverters, and a control signal as a gate input Include the 2nd transfer gate which consists of MN2. It consists of flip-flops which consist of inverters INV1 and INV2. When a control signal is high-level, an input It is transmitted and outputted to an inverter INV1 through the 1st transfer gate made into the ON state. When a control signal is a low level, through the 2nd transfer gate made into the ON state, this output is transmitted to an inverter INV2, is memorized, and since the 1st transfer gate is made into an OFF state, it is held with a flip-flop irrespective of the logic state of an input.

[0004] When receiving the mutually-independent input with which bistable elements, such as an arbiter (mediation circuit) and a synchronizer (synchronization circuit), do not synchronize, performing meta-stay bull actuation is indicated by reference (the volume Takuo Sugano editorial supervisions and for Tetsuya Iizuka, "a design of a CMOS VLSI", Baifukan, 1989, Section 4.3.7, an arbiter and a synchronizer, the 127 - 131st page). In addition, it is the circuit which determines whether an arbiter circuit meets the demand [which] when contention takes place between two demand signals, and the

signal of the external world to which it comes in asynchronous is incorporated in a system, and a synchronizer is a circuit and is called "the synchronizer (synchronization circuit)" in the semantics of making it synchronize with the clock of a system.

[0005] If meta-stay bull actuation takes place, the output of a latch circuit may serve as a mean value, and malfunction may be caused at the fan-out point (for example, when two demand signals inputted into the NAND mold latch circuit of drawing 5 (B) are set to high (High) level at coincidence, two outputs serve as middle potential once, and if this period is long, they will produce malfunction in a latter-part circuit). And since meta-stay bull actuation is theoretically nonavoidable, it is necessary to design so that a malfunction probability may be made small as much as possible. The Prior art which reduces this malfunction probability is explained below.

[0006] Reference (1) () [Takayasu Sakurai, "Optimization of CMOS Arbiter and Synchronizer Circuits with Sub-micrometer MOSFET's",] [IEEE Journal] To of Solid State Circuits, pp.901-906, Vol.23, No.4, and Aug.1988 Insertion of imbalance and an inverter etc. shows that malfunction probabilities are irreducible, and the method of reducing the malfunction probability by optimization of the size ratio of pMOSFET and nMOSFET etc. is shown.

[0007] moreover, reference (2) (Thaddeus J.Gabara and others --) "Metastability of CMOS Master/Slave Flip-Flops" and IEEE Transaction on Circuits and Systems-II: Analog and To Digital Signal Processing, pp.734-739, Vol.39, No.10, and Oct.1992 The pile data latch, and the master / slave flip-flop by the data latch are indicated by the lifting in meta-stay bull actuation.

[0008] furthermore, reference (3) (Jens U.Horstmann and others --) "Metastability Behavior of CMOS ACIC Flip-Flops in Theory and Test", IEEE Journal of Solid-State Circuits, and pp.146 -157, Vol.24, No.1, Feb.1989, and reference (4) (KNootbaar and others --) To "Minimizing the effect of metastability in BiCOM circuit design", EDN, pp.141-146, and Sep.1990 The synchronizer constituted by connecting two steps of latches is indicated.

[0009] And in the synchronizer of the system of a RF, the method of reducing a malfunction probability is described to reference (5), and ("Automatic Verification of Asynchronous Circuits" besides Trevor W.S.Lee, IEEE Design & Test of Computers, pp.24-30, Spr.1995) by making a sampling frequency low.

[0010] Moreover, if meta-stay bull actuation is detected by reference (6), and (Daniel M.Chapiro, "Reliable High-Speed Arbitration and Synchronization", IEEE Transaction on Computers, pp.1251-1255, Vol.36, No.10, Oct.1987), the method of expanding spacing of a clock signal dynamically and preventing malfunction is indicated by them.

[0011] And to reference (7), and another ("A 6-Bit/200-MHz Full Nyquist A/D Converter" besides Bernhard Zojer, IEEE Journal of Solid-State Circuits, pp.780-786, SC-20, No.3 [another], June 1985), the malfunction probability is reduced using the comparator constituted by two steps of latches.

[0012] Moreover, the comparator and error correction circuit by three steps of latches are indicated by reference (8), and (Christopher W.Mangelsdorf, "A 400-MHz Input Flash Converter with Error Correction", IEEE Journal of Solid State Circuits, pp.184-191, Vol.25, No.1, Feb., 1990).

[0013] Next, the comparator by BiCMOS optimized for malfunction probability reduction is indicated by reference (9), and ("A 5V 6b 80 MHz/s Bi CMOS Flash ADC" besides Hooman Reyhani, IEEE Journal of Solid State Circuits, pp.873-878, Vol.29, No.8, Aug., 1994).

[0014] And encoding by the circuit and Gray code (Gray code) which hold an output to High is proposed by reference (10), and ("Power-Efficient Metastability Error Reduction in CMOS Flash A/D Converters" besides Clemenz L.Portmann, Symposium on VLSI Circuit Digest of Technical Papers, pp.37-38, June 1995) between meta-stay bull actuation.

[0015]

[Problem(s) to be Solved by the Invention] By the technique of reducing the malfunction probability of these former, even if the probability to cause malfunction became small, it had the problem that the possibility of malfunction did not become zero. Moreover, by the approach proposed by the above-mentioned reference (6) of detecting a meta-stay bull and expanding a clock, it has the trouble that a response becomes slow.

[0016] Therefore, in view of the above-mentioned situation, it succeeds in this invention, and the purpose is in canceling meta-stay bull actuation of a latch circuit.

[0017]

[Means for Solving the Problem] The latch circuit of this invention which attains said purpose consists of a meta-stay bull condition detector and a circuit which cancels this when said detector detects a meta-stay bull condition.

[0018] In this invention, it is desirable, a meta-stay bull condition detector is lower than the electrical potential difference of the meta-stay bull condition of a latch circuit, and a logic threshold is set up, and when the output of two inverter circuits by which each input was connected to two complementary outputs of said latch circuit, and said two inverter circuits is the same logical level, it consists of circuits it is supposed that it is in a meta-stay bull condition.

[0019]

[Function] Since according to this invention a bistable element can be set as a stable state within the same cycle when the meta-stay bull condition of a bistable element is detected, the probability of occurrence of malfunction can be made into zero, without delaying a response.

[0020]

[Embodiment of the Invention] The gestalt of operation of this invention is explained below with reference to a drawing at a detail.

[0021]

[Operation gestalt 1] With reference to drawing 1, the latch circuit of the 1st operation gestalt of this invention is explained. Drawing 1 is the circuit diagram showing the example of a configuration of the latch circuit of the 1st operation gestalt of this invention.

[0022] Drawing 1 is referred to. The latch circuit of this operation gestalt The inverter latching amplifier 106 which latches the 1st input (IN1) 100 and 2nd input (IN2), The 1st and 2nd inverter 108 and 109 which considers as an input the nodes 100 and 101 which are the latch outputs of the Invar latching amplifier 106, respectively, The NOR gate 111 which considers the outputs 103 and 104 of the 1st and 2nd inverter 108 and 109 as an input, The delay circuit 107 which carries out predetermined time delay of the sense enabling (Sense Enable) signal 102 which is a control signal which controls activation of the inverter latching amplifier 106, AND circuit 112 which considers the output of a delay circuit 107, and the output of NOR circuit 111 as an input, The output of AND circuit 112 is considered as a gate input, and it has nMOSFET110 connected with the node 100 between touch-down. The sense enable signal 102 An inverter 105 is minded [of inverter latching amplifier / of pMOSFETMP3], and it is nMOSFET. It connects with the gate of MN3 directly, and when the sense enable signal 102 is high-level, the inverter latching amplifier 106 is activated. In the comparator using this inverter latching amplifier 106, if nodes 100 and 101 change [both] high-level from a low level, it will be in a meta-stay bull condition, and a mean value will be outputted. If the logic threshold of the 1st and 2nd inverter 108 and 109 which considers nodes 100 and 101 as an input at this time is set up lower than the mean value of a meta-stay bull condition, both the outputs 103 and 104 of these inverters 108 and 109 will output a low level.

[0023] If a meta-stay bull condition is canceled, since either of the nodes 100 and 101 will become high-level, when both the outputs of the 1st and 2nd inverter 108 and 109 are low level, it can judge with a meta-stay bull condition.

[0024] When the comparator using the inverter latching amplifier 106 starts a comparison and is in a meta-stay bull condition after fixed time amount, Namely, when the sense enable signal 102 will be in an active state (high-level in drawing 1) and the inverter latching amplifier 106 is activated, it sets. After the time delay defined in a delay circuit 107, when the output of NOR circuit 111 is high-level The output of AND circuit 112 becomes high-level, nMOSFET110 is made into an ON state, and a meta-stay bull condition is canceled in a cycle, using a node 101 as high-level for a node 100 at a low level.

[0025]

[Operation gestalt 2] Next, the 2nd operation gestalt of this invention is explained with reference to drawing 2. Drawing 2 is the circuit diagram showing the example of a configuration of the latch circuit

of the 2nd operation gestalt of this invention. Drawing 2 is referred to. The latch circuit of this operation gestalt The inverter latching amplifier 206 which latches the 1st input (IN1) 200 and 2nd input (IN2) 201, The 1st and 2nd inverter 208 and 209 which considers as an input the nodes 200 and 201 which are the latch outputs of the Invar latching amplifier 206, respectively, The 1st and the 2nd data flip-flop 215 and 216 which latch the output of the 1st and 2nd inverter 208 and 209, respectively, The NOR gate 212 which considers the output of the 1st and 2nd inverter 208 and 209 as an input, The delay circuit 207 which carries out predetermined time delay of the sense enabling (Sense Enable) signal 202 which is a control signal which controls activation of the inverter latching amplifier 206, 3 input AND circuits 213 and 214 which consider the output of the 1st and 2nd data flip-flop 215 and 216 as an input with the output of a delay circuit 207, and the output of NOR circuit 212, respectively, nMOSFET 211 and 210 which considered the output of 3 input AND circuits 213 and 214 as the gate input, respectively, and was connected with nodes 200 and 201 between touch-down, respectively, A preparation and the sense enable signal 202 are pMOSFET of inverter latching amplifier. An inverter 205 is minded [of MP3]. nMOSFET It connects with MN3 directly, and when the sense enable signal 202 is high-level, the inverter latching amplifier 206 is activated.

[0026] In this operation gestalt, the actuation to meta-stay bull condition detection is the same as said 1st operation gestalt (namely, the logic threshold of the 1st and 2nd inverter 208 and 209 is set up lower than the mean value of a meta-stay bull condition, and let both the outputs of inverters 208 and 209 be low level in a meta-stay bull condition).

[0027] In the comparator using this inverter latching amplifier 206, start a comparison, and when it is a fixed time amount after meta-stay bull, the output 203 which is an output of the 1st data flip-flop 215 is high-level. When the output 204 which is an output of the 2nd data flip-flop 216 is a low level, The output of 3 input AND circuit 213 becomes high-level, nMOSFET211 is made into an ON state, in a cycle, a node 201 is made into a low level for a node 200 high-level, and a meta-stay bull condition is canceled.

[0028] On the other hand, with a low level, when an output 204 is high-level, outputting [of 3 input AND circuit 214] becomes high-level, nMOSFET210 is set to ON, and in a cycle, an output 203 makes a node 200 a low level for a node 201 high-level, and cancels a meta-stay bull condition.

[0029]

[Operation gestalt 3] Next, the 3rd operation gestalt of this invention is explained with reference to drawing 3. Drawing 3 is the circuit diagram showing the example of a configuration of the NAND latch circuit of the 3rd operation gestalt of this invention. Drawing 3 is referred to. The latch circuit of this operation gestalt With the NAND latch 304 who latches the 1st input (IN1) 300 and 2nd input (IN2) 301 The 1st and 2nd inverter 307 and 308 which considers the NAND latch's 304 output as an input, respectively, The NOR gate 309 which considers the outputs 302 and 303 of the 1st and 2nd inverter 307 and 308 as an input, The delay circuit 306 which delays the output of OR circuit 305 which considers the 1st and 2nd input 300 and 301 as an input, The output of AND circuit 310 which considers the output of a delay circuit 306 and the output of NOR circuit 309 as an input, and AND circuit 310 was considered as the gate input, and it has nMOSFET311 connected with latch's 304 output node 313 between touch-down.

[0030] Also in this operation gestalt, detection of a meta-stay bull condition is the same as said 1st operation gestalt (namely, the logic threshold of the 1st and 2nd inverter 307 and 308 is set up lower than the mean value of a meta-stay bull condition, and let both the outputs of these inverters 307 and 308 be low level in a meta-stay bull condition).

[0031] After fixed time amount (set in a delay circuit 306), after the 1st input (IN1) 300 and 2nd input (IN2) 301 change from a low level high-level, when it is in a meta-stay bull condition, since the output of NOR circuit 309 is high-level, the output of AND circuit 310 is made high-level, nMOSFET311 is made into an ON state, and a meta-stay bull condition is canceled by making latch's 304 output node 313 into a low level.

[0032]

[Operation gestalt 4] Next, the 4th operation gestalt of this invention is explained with reference to

drawing 4 . Drawing 4 is the circuit diagram showing the example of a configuration of the latch circuit of the 4th operation gestalt of this invention. The latch circuit of this operation gestalt consists of a latch circuit of the master slave method which consists of a data latch circuit 403 of a master side, and a data latch circuit 404 of a slave side with reference to drawing 4 , and each data latch circuit is considered as the configuration shown in drawing 6 . In this operation gestalt, it sets to the data latch circuit 403 of a master side. The output of NOR circuit 408 which connects the 1st and 2nd inverter 406 and 407 to the output node of the flip-flop which consists of inverters INV1 and INV2, and considers the output of the 1st and 2nd inverter 406 and 407 as an input, AND circuit 409 which considers the delay output from the delay circuit 405 which considers the clock signal (CLK) 400 which controls a flow of the transfer gate as an input as an input, The output of AND circuit 409 was considered as the gate input, and it has nMOSFET410 connected with the output node 411 of the flip-flop of a master side between touch-down.

[0033] Detection of a meta-stay bull condition is the same as said 1st operation gestalt (namely, the logic threshold of the 1st and 2nd inverter 406 and 407 is set up lower than the mean value of a meta-stay bull condition, and let both the outputs of inverters 406 and 407 be low level in a meta-stay bull condition). After fixed time amount (set in a delay circuit 405), after a clock signal (CLK) 400 changes from high level to a low level, when it is in a meta-stay bull condition, nMOSFET410 is made into an ON state and a meta-stay bull condition is canceled by making the output node 411 of the data latch circuit 403 of a master side into a low level.

[0034] In addition, although this invention was explained about the above-mentioned operation gestalt, as for this invention, it is needless to say that the various operation gestalten which are not limited only to the above-mentioned gestalt and apply to the principle of this invention are included. For example, when the logic threshold of inverters 307 and 308 is set up as deformation of a configuration of being shown in drawing 3 more highly than the output voltage (intermediate voltage) in the meta-stay bull condition of a latch circuit 304, NOR circuit 309 is replaced in a NAND circuit. Or when it replaces instead of inverters 307 and 308 with a buffer with a logic threshold lower than the intermediate voltage of a meta-stay bull condition, NOR circuit 309 is replaced in a NAND circuit.

[0035]

[Effect of the Invention] As explained above, according to the latch circuit of this invention, the effectiveness that the probability of malfunction can be made into zero is done so by having constituted so that meta-stay bull condition detection might be detected and this might be canceled within a cycle, without delaying a response.

[Translation done.]

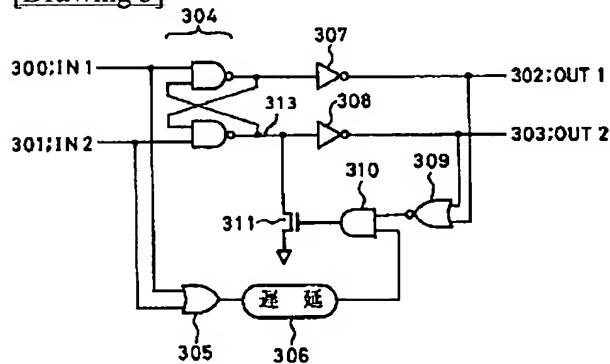
* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

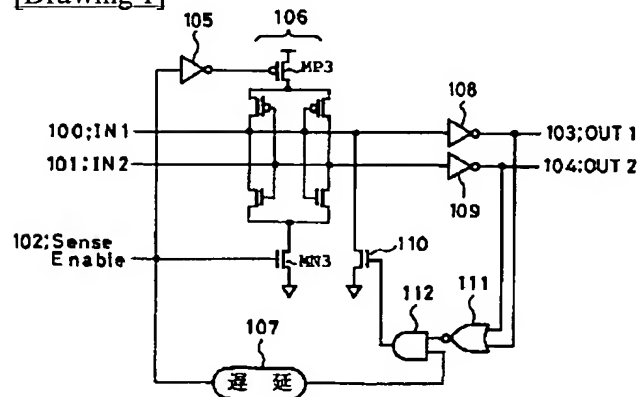
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

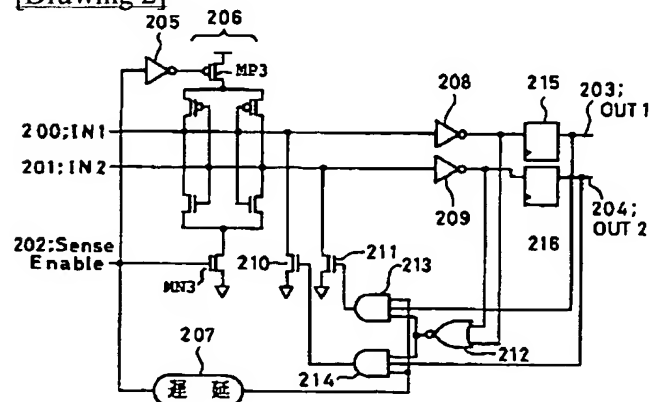
[Drawing 3]



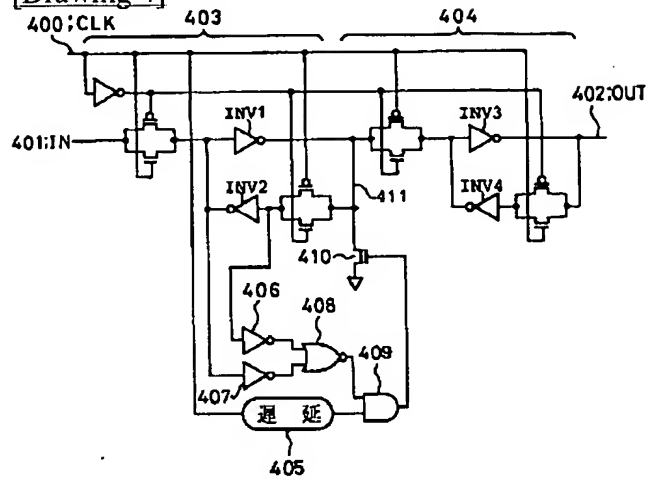
[Drawing 1]



[Drawing 2]

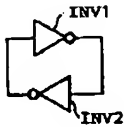


[Drawing 4]

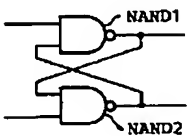


[Drawing 5]

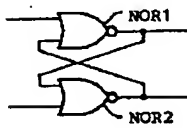
(A)



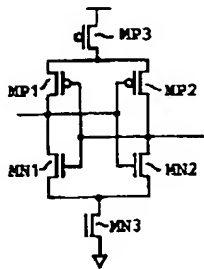
(B)



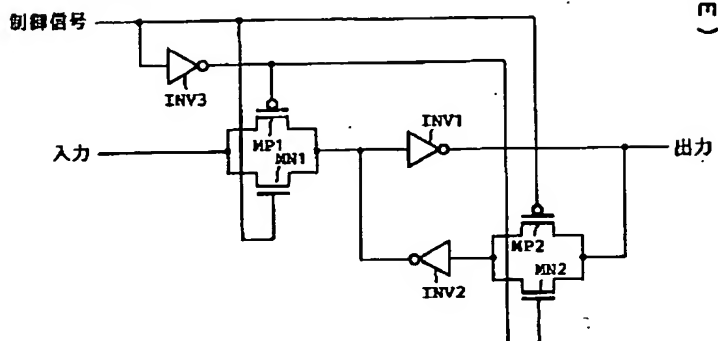
(C)



(D)



[Drawing 6]



(E)

[Translation done.]